

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JEONG-SU JEONG

Application No.:

Filed:

For: **SYNCHRONOUS SELF REFRESH
EXIT CONTROL METHOD AND
CIRCUIT IN SEMICONDUCTOR
MEMORY DEVICE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-34314	29 May 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Dated: December 29, 2003

Thomas M. Coester, Reg. No. 39,637

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034314
Application Number

출원 년 월 일 : 2003년 05월 29일
Date of Application MAY 29, 2003

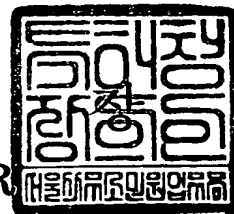
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0004
【제출일자】 2003.05.29
【발명의 명칭】 반도체 메모리 장치의 동기식 셀프 리프레쉬 제어 방법 및 제어 회로
【발명의 영문명칭】 SYNCHRONOUS SELF REFRESH EXIT CONTROL METHOD AND CIRCUIT IN MEMORY DEVICE
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【명칭】 특허법인 신성
【대리인코드】 9-2000-100004-8
【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】 2000-049307-2
【발명자】
【성명의 국문표기】 정정수
【성명의 영문표기】 JEONG, Jeong Su
【주민등록번호】 680512-1029914
【우편번호】 142-100
【주소】 서울특별시 강북구 미아동 SK아파트 114-902
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 12 면 12,000 원

1020030034314

출력 일자: 2003/10/29

【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	598,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 전류의 소모를 감소시키기 위하여 셀프 리프레쉬 탈출 제어를 위한 별도의 클럭버퍼를 두지 않고서도 클럭에 동기된 셀프 리프레쉬 탈출을 구현한 반도체 메모리 장치의 동기식 셀프 리프레쉬 제어 방법 및 그를 위한 장치를 제공한다. 이를 위한 본 발명의 셀프 리프레쉬 제어 회로는, 클럭신호에 동기하여 셀프 리프레쉬를 제어하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로에 있어서, 클럭버퍼를 구비하여 상기 클럭버퍼를 통해 입력되는 클럭에 동기하여 셀프리프레쉬진입신호를 생성하는 셀프리프레쉬진입회로부; 셀프 리프레쉬 진입 직후에 상기 셀프리프레쉬진입회로부의 상기 클럭버퍼를 디스에이블시키고 셀프 리프레쉬 기간 중에 입력된 클럭인에이블신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 제어신호를 생성하는 클럭버퍼제어부; 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호를 상기 클럭버퍼 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 셀프리프레쉬탈출회로부; 및 상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 응답하여 셀프 리프레쉬 구간을 정의하는 신호를 생성하기 위한 셀프리프레쉬신호생성부를 포함하여, 셀프 리프레쉬의 진입 및 탈출을 단일의 클럭버퍼를 사용하여 클럭에 동기 제어하는 것을 특징으로 한다.

【대표도】

도 3

【색인어】

반도체메모리장치, 셀프 리프레쉬, 클럭, 동기, 클럭버퍼, 전류소모

【명세서】

【발명의 명칭】

반도체 메모리 장치의 동기식 셀프 리프레쉬 제어 방법 및 제어 회로{SYNCHRONOUS SELF REFRESH EXIT CONTROL METHOD AND CIRCUIT IN MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 셀프 리프레쉬 제어회로의 개략을 도시한 블록도,

도 2는 종래 기술에 따른 셀프 리프레쉬 제어회로의 동작상태를 설명하기 위한 타이밍도,

도 3은 본 발명에 따른 셀프 리프레쉬 제어회로의 개략을 도시한 블록도,

도 4는 본 발명에 따른 셀프 리프레쉬 제어회로의 동작상태를 설명하기 위한 타이밍도,

도 5는 본 발명에 따른 셀프 리프레쉬 제어회로의 일 구성요소인 클럭 버퍼 제어기의 구성예를 도시한 도면,

도 6은 본 발명에 따른 셀프 리프레쉬 제어회로의 일 구성요소인 넥스트 클럭 생성기의 구성예를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

101 : 커맨드버퍼

102 : 제1클럭인에이블버퍼

103 : 클럭버퍼

201 : 제2클럭인에이블버퍼

30 : 셀프 리프레쉬 진입 명령 생성부

40 : 동기회로부



50 : 셀프 리프레쉬 신호 생성부

60 : 클럭 버퍼 제어부

70 : 넥스트 클럭 생성부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 반도체 메모리 장치의 셀프 리프레쉬 동작을 제어하기 위한 방법 및 제어회로에 관한 것이다. 특히 본 발명은 셀프 리프레쉬 구성 체계 중 동기식 셀프 리프레쉬 탈출 체계에 관한 것으로서, 클럭에 동기화하기 위해 셀프 리프레쉬 기간 동안 클럭 버퍼를 인에이블하게 되는데 따른 전류 증가를 감소시키기 위한 것이다.

<14> 도 1은 셀프 리프레쉬 제어와 관련된 종래기술에 따른 메모리 장치의 구성을 보여주는 블록 구성도이다. 도 1의 구성에 따르면 셀프 리프레쉬 제어회로의 구성은 동기식 셀프 리프레쉬의 진입(entry)을 위한 신호 sref_en를 생성하는 셀프 리프레쉬 진입 회로부(100)와, 동기식 셀프 리프레쉬의 탈출(Exit)을 위한 신호 cke_sref_syn를 생성하는 셀프 리프레쉬 탈출 회로부(200)와, 상기 진입 신호 sref_en 및 탈출 신호 cke_sref_syn에 응답하여 소자가 셀프 리프레쉬 구간을 정의하는 플래그(flag) 신호인 셀프 리프레쉬 신호 sref를 생성하는 셀프 리프레쉬 신호 생성부(5)로 구성된다.

<15> 셀프 리프레쉬 진입 회로부(100)는 버퍼부(1), 셀프 리프레쉬 진입 명령 생성부(3)로 구성되고, 셀프 리프레쉬 탈출 회로부(200)는 버퍼부(2)와 동기회로부(4)로 구성된다.

<16> 이 구성을 보다 구체적으로 설명한다.

- <17> 도 1에서, 버퍼부(1)는 커맨드 버퍼(11), 클럭 인에이블 버퍼(12), 클럭 버퍼(13)로 이루어진다. 커맨드 버퍼(11)는 행 어드레스 스트로브 신호(rasb), 열 어드레스 스트로브 신호(casb), 기입 인에이블 신호(web) 및 칩 선택 신호(csb)와 같은 칩 외부의 명령어를 입력받아 내부 명령 신호 rasbi, casbi, web, csbi 들을 발생한다. 또한, 클럭 인에이블 버퍼(12)는 칩 외부로부터 클럭인에이블신호(cke)를 입력받아 내부 클럭인에이블신호 ckei를 발생하고, 클럭 버퍼(13)는 칩 외부로부터 클럭신호(clk)를 받아 내부 클럭신호 clki를 발생한다.
- <18> 이때, 상기 버퍼들(11, 12, 13)은 칩 내부에서 생성된 셀프 리프레쉬 신호(sref)를 피드백 입력받는데, 이 신호에 따라 상기 버퍼(11, 12, 13)들이 인에이블/디세이블 된다. 즉 셀프 리프레쉬 신호 sref가 하이('H')로 활성화되어 있을 때 - 즉, 셀프 리프레쉬 동작 구간 일때 - 상기 버퍼들은 디세이블되어 외부 입력신호의 변화에 대해서 어떠한 동작도 하지 않게 되고, 셀프 리프레쉬 신호 sref가 로우('L')로 비활성화될 때는 상기 버퍼(11, 12, 13)들이 인에이블되어 비로소 동작하게 된다. 즉, 버퍼부(1)는 칩이 액티브되었을때 구동하는 노멀 버퍼들로서 메모리 장치가 셀프 리프레쉬 구간일 때 디스에이블된다.
- <19> 한편, 버퍼부(2)는 클럭 인에이블 버퍼(21)과 클럭 버퍼(22)로 이루어지며, 이들 버퍼(21, 22)는 칩 내부에서 생성된 셀프 리프레쉬 신호(sref)를 피드백 입력받아 버퍼부(1)와는 반대로 셀프 리프레쉬 기간 중 인에이블된다.
- <20> 클럭 인에이블 버퍼(21)는 셀프 리프레쉬 기간 중 신호 sref가 로우('L')이면 인에이블되어 셀프 리프레쉬 탈출을 위해 클럭 인에이블 신호 cke를 내부로 전달해 주는 역할을 한다. 즉, 클럭에 동기되기 이전의 신호로서 셀프리프레쉬 탈출 제어신호 cke_sref를 생성한다. 클럭 버퍼(22)는 셀프 리프레쉬 기간 중 신호 cke_sref를 클럭에 동기시키기 위한 신호 clk_sref를 생성한다.

- <21> 상기한 종래기술의 구성에서, 버퍼부(1)와 별도로 버퍼부(2)를 두고 버퍼부(2)에 클럭 인에이블 버퍼(21)와 클럭 버퍼(22)가 포함하도록 하였는데, 이는 셀프 리프레쉬 구간에서 탈출 제어를 위해 클럭인에이블신호 cke와 클럭신호 clk를 입력받아야 하기 때문이며, 클럭 버퍼의 경우 셀프 리프레쉬 기간 중 노멀 버퍼인 버퍼부(1)의 클럭 버퍼를 사용할 경우 전류 소비가 많아지기 때문에 전류소모를 최소화하기 위함이다. 또한 버퍼부(2)의 클럭 인에이블 버퍼(21)도 노멀 동작시보다 전류를 적게 소모하는 버퍼를 셀프 리프레쉬 기간 중 사용하며 경우에 따라서는 셀프 리프레쉬 탈출의 안정적인 동작을 위해 별도의 버퍼를 사용하기도 한다.
- <22> 셀프리프레쉬 진입 명령 생성부(3)는 셀프 리프레쉬 진입 신호를 생성하는 신호 생성부로서, 클럭 인에이블 신호 cke 를 로우('L')로 유지할 때 오토 리프레쉬 명령 aref - 칩 외부의 명령어들의 조합 - 이 입력되면, 클럭의 상승 엣지에 동기하여 셀프 리프레쉬 진입 신호 sref_en를 발생한다.
- <23> 동기회로부(4)는 셀프 리프레쉬 기간 중 인에이블되어 있는 클럭 인에이블 버퍼(21)의 출력 신호 cke_sref를 클럭 버퍼(22)의 출력 신호 clk_sref의 상승 엣지에 동기시켜 셀프 리프레쉬 탈출 신호 cke_sref_syn를 발생한다.
- <24> 셀프 리프레쉬 신호 생성부(5)는 셀프 리프레쉬 플래그를 발생하는 장치로서 셀프 리프레쉬 진입 신호 sref_en가 활성화되면 셀프 리프레쉬 신호 sref를 하이 'H'로, 그리고 셀프 리프레쉬 탈출 신호 'cke_sref_syn'이 활성화되면 신호 sref 를 로우 'L'로 만들어, 셀프 리프레쉬 구간을 정의하는 신호 sref를 만들게 된다.
- <25> 도 2는 도 1의 종래 기술에 따른 작동 상태를 설명하기 위한 타이밍도이다. 도 2의 타이밍도에서, 클럭 신호 clk가 입력되고, 클럭 인에이블 신호 cke 및 오토 리프레쉬 신호 aref ('rasb', 'casb', 'web' 'csb'의 신호의 조합)가 클럭 신호에 동기되어 입력되면, 각각의 버퍼

를 지나면서 내부신호들 'clki', 'cke_i', 'rasbi', 등의 신호가 생성되고, 내부 클럭신호 clki에 동기되어 셀프 리프레쉬 진입 신호 sref_en이 생성된다. 이때, 신호 sref_en는 셀프 리프레쉬 진입을 알리는 신호로서, 이 신호가 셀프 리프레쉬 신호 생성부(5)에 입력되면 이 신호 sref_en에 의해 셀프 리프레쉬 신호 sref 플래그가 하이('H')로 되어 현재 이 장치가 셀프 리프레쉬 상태임을 나타내게 된다. 따라서, 신호 'sref'가 하이('H')로 되면 이 칩이 동작을 하지 않는 상태이므로 전류를 줄여 주기 위해 버퍼부(2)의 클럭 인에이블 버퍼(21) 및 클럭 버퍼(22) 이외의 모든 버퍼를 디세이بل하게 된다.

<26> 한편, 셀프 리프레쉬 상태로 진입한 후 셀프 리프레쉬 상태에서 탈출할 때는 클럭 인에이블 버퍼(21)에 의해 클럭 인에이블 신호 'cke'를 클럭의 상승 타이밍에서 하이 'H'로 전환된 신호인 'cke_sref'가 생성되고, 이 신호는 클럭 버퍼(21)의 출력인 신호 clk_sref에 동기되어 셀프 리프레쉬 탈출 신호 'cke_sref_syn'를 활성화 시키게 된다.

<27> 그러면 셀프 리프레쉬 생성부(5)는 신호 'sref'를 로우('L')로 만들어 셀프 리프레쉬 탈출임을 알리게 된다. 이 신호 'sref'에 따라, 버퍼부(1)의 버퍼들은 다시 인에이블되며, 버퍼부(2)의 버퍼들은 디세이بل된다.

<28> 결국, 이미 기술한 것처럼 셀프 리프레쉬의 탈출을 위한 신호를 생성할 때, 전류를 줄이기 위해서 그리고 안정적인 동작을 위해서 셀프 리프레쉬 기간 중에만 인에이블되는 전류 소모가 적은 별도의 클럭 인에이블 버퍼(21) 및 클럭 버퍼(22)들을 두고 이들만을 인에이블 하고 나머지는 디세이بل 한다.

<29> 그러나, 이러한 구성의 종래 기술에 따르면, 전류를 줄이기 위해서 별도의 버퍼를 두었지만, 여전히 인에이블된 클럭 버퍼가 존재하게 되어 셀프 리프레쉬 기간 중 전류소모를 피할 수 없다.

<30> 더구나, 도 2의 영역 'T' 구간에서와 같이 셀프 리프레쉬 구간 중에도 클럭버퍼(22)의 출력 신호 clk_sref가 토글링(toggling)하게 되면 전류소모가 더욱 많아져서 셀프 리프레쉬 전류를 증가시키게 된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명의 목적은 전술한 종래기술의 문제점을 개선하기 위한 것으로서, 전류의 소모를 감소시키기 위하여 셀프 리프레쉬 탈출 제어를 위한 별도의 클럭버퍼를 두지 않고서도 클럭에 동기된 셀프 리프레쉬 탈출을 구현한 반도체 메모리 장치의 동기식 셀프 리프레쉬 제어 방법 및 그를 위한 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<32> 전술한 기술적 과제를 실현하기 위한 본 발명의 일 측면에 따르면, 반도체 메모리 장치의 셀프 리프레쉬 제어 방법에 있어서, 클럭버퍼를 통해 입력되는 클럭에 동기하여 셀프리프레쉬진입신호를 생성하는 단계; 셀프 리프레쉬 진입 직후에 상기 클럭버퍼를 디스에이블시키는 단계; 셀프 리프레쉬 구간에서 클럭인에이블신호를 칩 내부에 전달하는 단계; 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 단계; 및 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호를 상기 클럭버퍼 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 단계를 포함하여 이루어진 반도체 메모리 장치의 셀프 리프레쉬 제어 방법을 제공한다.

- <33> 이때, 전술한 본 발명의 상기 셀프리프레쉬탈출신호를 생성하는 단계에서, 상기 클럭버퍼 출력신호의 두번째 클럭의 상승 엣지를 검출하여 펄스신호로서 생성하고, 상기 클럭인에이블신호를 상기 펄스신호에 동기하여 상기 셀프리프레쉬탈출신호를 생성하는 것이 보다 바람직하다.
- <34> 전술한 기술적 과제를 해결하기 위한 본 발명의 다른 측면에 따르면, 클럭신호에 동기하여 셀프 리프레쉬를 제어하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로에 있어서, 클럭버퍼를 구비하여 상기 클럭버퍼를 통해 입력되는 클럭에 동기하여 셀프리프레쉬진입신호를 생성하는 셀프리프레쉬진입회로부; 셀프 리프레쉬 진입 직후에 상기 셀프리프레쉬진입회로부의 상기 클럭버퍼를 디스에이블시키고 셀프 리프레쉬 기간 중에 입력된 클럭인에이블신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 제어신호를 생성하는 클럭버퍼제어부; 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호를 상기 클럭버퍼 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 셀프리프레쉬탈출회로부; 및 상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 응답하여 셀프 리프레쉬 구간을 정의하는 신호를 생성하기 위한 셀프리프레쉬신호생성부를 포함하여, 셀프 리프레쉬의 진입 및 탈출을 단일의 클럭버퍼를 사용하여 클럭에 동기 제어하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로를 제공한다.
- <35> 이때, 전술한 본 발명에서, 셀프리프레쉬탈출회로부는, 셀프 리프레쉬 구간 중에 클럭인에이블신호를 버퍼링 입력하는 클럭인에이블버퍼; 셀프 리프레쉬 구간 중에 상기 클럭버퍼 출력신호의 두번째 클럭을 검출하여 펄스신호로서 출력하는 넥스트클럭생성부; 및 상기 클럭인에이블버퍼의 출력신호를 상기 넥스트클럭생성부의 출력신호에 동기시켜 상기 셀프리프레쉬탈출신호를 발생하는 동기회로부를 포함하는 것이 바람직하다.

- <36> 이러한 구성의 본 발명을 제공함으로써, 별도의 클럭 버퍼를 두지않고 셀프 리프레쉬 탈출 시에 클럭에 동기화하여 셀프 리프레쉬 탈출을 제어할 수 있게 되어, 전류소모를 절감할 수 있다는 효과를 얻게 된다.
- <37> 이하, 본 발명의 구성에 따른 구체적인 실시예와 그 작용 효과를 첨부된 도면을 참조하여 보다 상세히 설명하도록 한다.
- <38> 도 3은 본 발명의 구성에 따른 동기식 셀프 리프레쉬 제어회로의 구성을 도시한 블록도이다.
- <39> 도 3을 참조하면, 본 발명에 따른 셀프 리프레쉬 제어회로는, 클럭버퍼(103)을 구비하여 클럭버퍼(103)를 통해 입력되는 클럭신호 clki에 동기하여 셀프리프레쉬진입신호 sref_en를 생성하는 셀프리프레쉬진입회로부(100A)와, 셀프 리프레쉬 진입 직후에 상기 셀프리프레쉬진입회로부(100A)의 상기 클럭버퍼(103)를 디스에이블시키고 셀프 리프레쉬 기간 중에 입력된 클럭인에이블신호 cke_sref가 활성화되었을 때 상기 클럭버퍼(103)를 인에이블시키는 제어신호 buf_en를 생성하는 클럭버퍼제어부(60)와, 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호 cke_sref를 상기 클럭버퍼(103)의 출력신호에 동기하여 셀프리프레쉬탈출신호 cke_sref_syn를 생성하는 셀프리프레쉬탈출회로부(200A), 및 상기 셀프리프레쉬진입신호 sref_en 및 상기 셀프리프레쉬탈출신호 cke_sref_syn에 응답하여 셀프 리프레쉬 구간을 정의하는 신호 sref를 생성하기 위한 셀프리프레쉬신호생성부(50)를 포함하여 구성된다.

<40> 이에 의해 본 발명은 셀프 리프레쉬의 진입 및 탈출을 단일의 클럭버퍼(103)를 사용하여 클럭에 동기 제어하므로써, 별도의 클럭버퍼가 없어도 클럭에 동기화하여 셀프 리프레쉬 탈출을 제어할 수 있게 된다.

<41> 도 3을 참조하여 더욱 구체적으로 본 발명에 따른 셀프 리프레쉬 제어회로의 구성을 살펴보면, 셀프리프레쉬 구간 이외의 구간에서 구동하여 다수의 제어신호(rasb, casb 등)를 입력받는 커맨드 버퍼(101)와, 셀프리프레쉬 구간 이외의 구간에서 구동하여 클럭인에이블신호를 입력받는 제1클럭인에이블버퍼(102)와, 클럭신호를 입력받는 클럭버퍼(103)와, 셀프리프레쉬 구간에서 구동하여 클럭인에이블신호를 입력받는 제2클럭인에이블버퍼(201)와, 상기 커맨드버퍼(101), 상기 제1클럭인에이블버퍼(102) 및 상기 클럭버퍼(103)의 각 출력신호에 응답하여 셀프리프레쉬진입신호를 출력하는 셀프리프레쉬진입 명령 생성부(30)와, 셀프 리프레쉬에 진입하면 상기 클럭버퍼(103)를 디스에이블시키고 상기 제2클럭인에이블버퍼(201)의 출력신호가 활성화 되었을 때 상기 클럭버퍼(103)를 인에이블시키는 제어신호 buf_en를 생성하는 클럭버퍼제어부(60)와, 셀프리프레쉬 구간중에 상기 제2클럭인에이블버퍼(201)의 출력신호를 상기 클럭버퍼(103)의 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 구성요소들(70, 40), 및 상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 응답하여 셀프 리프레쉬 구간을 정의하는 셀프리프레쉬신호를 생성하는 셀프리프레쉬신호생성부(50)로 구성된다.

<42> 그리고, 상기 셀프리프레쉬탈출신호를 생성하는 구성요소들은, 상기 클럭버퍼(103)의 출력신호 clki의 두번째 클럭을 검출하여 펄스신호 clki_next로서 출력하는 넥스트클럭생성부(70)와, 상기 제2클럭인에이블버퍼(201)의 출력신호 cke_sref를 상기 넥스트클럭생성부(70)의 출력신호 clki_next에 동기시켜 상기 셀프리프레쉬탈출신호 cke_sref_syn를 출력하는 동기회로부(40)로 구성된다.

- <43> 상기한 구성에서, 커맨드 버퍼(101)는 행 어드레스 스트로브 신호(rasb), 열 어드레스 스트로브 신호(casb), 기입 인에이블 신호(web), 칩선택 신호(csb), 셀프 리프레쉬 플래그 신호(sref)를 입력받아 버퍼링 입력하여 칩 내부신호 'rasbi', 'casbi', 'web', 'csbi' 들을 출력한다.
- <44> 제1클럭인에이블버퍼(102)는 외부 클럭인에이블신호 cke를 받아 내부 신호 'cke_i'를 발생하고, 클럭 버퍼(103)는 클럭인에이블신호(clk)를 받아 내부 신호 'clki'를 발생한다.
- <45> 이때, 셀프 리프레쉬 신호 sref가 피드백되어 커맨드버퍼(101) 및 제1클럭인에이블버퍼(102)로 입력되는데, 버퍼(101, 102)는 셀프 리프레쉬 신호 sref에 따라 인에이블 또는 디세이블 된다. 즉 신호 'sref'가 하이('H')로 활성화 - 셀프리프레쉬 모드 - 일 때 상기 버퍼(101, 102)는 디세이블되어 외부의 입력신호의 변화에 대해서 어떠한 동작도 하지 않게 되고, 로우('L')로 비활성화 되면 - 즉, 셀프리프레쉬 구간이 아닐때 - 상기 버퍼(101, 102)들이 인에이블되어 동작하게 된다.
- <46> 한편, 클럭 버퍼(103)에는 셀프 리프레쉬 신호 sref 대신에 후술할 클럭 버퍼 제어부(60)의 출력신호인 클럭버퍼제어신호 'buf_en'가 입력되어 그에 따른 제어를 받게된다. 클럭버퍼(103)는 클럭버퍼제어부(60)의 클럭버퍼제어신호 'buf_en'가 하이('H')이면 디세이블되고, 로우('L')이면 인에이블되도록 작동한다.
- <47> 제2클럭인에이블버퍼(201)는 셀프 리프레쉬 기간 중 칩 외부로부터 입력되는 클럭인에이블신호 cke를 칩 내부로 전달하기 위한 버퍼로서, 제2클럭인에이블 버퍼(201)는 신호 'sref'가 로우('L')일 때 인에이블되어 셀프 리프레쉬 탈출을 위한 클럭인에이블신호 'cke_sref'를 출력한다.

- <48> 셀프리프레쉬 진입 명령 생성부(30)는 셀프 리프레쉬 진입 신호 'sref_en'를 생성하는 신호 생성기로서, 클럭의 상승 엣지에서 오토 리프레쉬 명령 'aref' - 제어신호들이 조합된 신호 - 가 발생하고, 클럭인에이블신호 'cke'가 로우('L')로 될 때, 셀프 리프레쉬 진입 신호 'sref_en'를 발생한다.
- <49> 동기회로부(40)는 셀프 리프레쉬 기간 중 인에이블되어 있는 제2클럭인에이블버퍼(201)의 출력신호 'cke_sref'를 후술할 넥스트클럭생성부(70)의 출력신호 'clki_next'의 상승 엣지에 동기시키는 장치로서, 셀프 리프레쉬 탈출 신호 'cke_sref_syn'를 발생한다.
- <50> 셀프 리프레쉬 신호 생성부(50)는 셀프 리프레쉬 플래그를 발생하는 장치로서 셀프 리프레쉬 진입 신호 'sref_en'이 활성화되면 논리 하이 'H', 그리고 셀프 리프레쉬 탈출 신호 'cke_sref_syn'이 활성화되면 논리 로우 'L'의 셀프 리프레쉬 신호 'sref'를 생성한다.
- <51> 도 4를 참조하면, 제1클럭버퍼인에이블신호 ckei가 비활성화되는 시점에서 - 통상 파워다운 모드에 진입함을 의미함 - 클럭버퍼(103)의 출력신호인 내부 클럭신호 clki에 동기화되어 셀프리프레쉬진입신호 sref_en가 논리 하이 'H'의 펄스신호로서 활성화된다. 이어서 셀프 리프레쉬신호 sref가 논리 하이 'H'로 활성화되고 메모리 장치는 셀프리프레쉬 모드로 진입된다.
- <52> 이어서, 셀프리프레쉬신호 sref에 응답하여 클럭버퍼제어신호 buf_en이 하이 'H'가 되어 클럭버퍼(103)는 디스에이블된다. 클럭버퍼제어신호 buf_en은 논리 로우 'L'에서 클럭버퍼(103)을 인에이블시키는 로우 'L' 액티브 신호이다.
- <53> 한편, 셀프 리프레쉬 모드에 진입한 다음부터 제2클럭인이에블버퍼(201)는 인에이블되어 외부의 클럭인에이블신호 cke를 칩 내부에 신호 cke_sref로서 전달한다.

- <54> 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호 cke_sref가 논리 하이 'H'로 활성화되었을 때 클럭버퍼제어신호 buf_en이 로우 'L'가 되어 클럭버퍼(103)는 인에이블되므로써 클럭신호 clk는 내부클럭신호 clki로서 칩 내에 다시 전달되기 시작한다.
- <55> 그러면, 셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호 cke_sref를 상기 클럭 버퍼 출력신호 - 구체적으로는 클럭신호 clki의 두번째 클럭이 입력되는 시점에서 활성화된 펄스신호 clki_next - 에 동기하여 셀프리프레쉬탈출신호 cke_sref_syn이 하이 'H'로 활성화되고, 셀프리프레쉬신호 sref는 로우 'L'가 되므로써, 셀프 리프레쉬 모드에서 벗어나게 된다.
- <56> 도 5는 본 발명에 따른 클럭버퍼제어부(60)의 구성예를 도시한 실시 회로도와 타이밍도를 도시한 것이다.
- <57> 도 5를 참조하면, 클럭 버퍼 제어부(60)는 제2클럭인에이블버퍼(201)의 출력신호 cke_sref의 천이 시점을 감지하여 펄스 신호로서 리셋신호 reset를 생성하는 제1입력부(61), 넥스트클럭생성부(70)의 출력신호 clki_next와 상기 셀프리프레쉬탈출신호 cke_sref_syn와 상기 셀프리프레쉬신호 sref에 응답하여 상기 셀프리프레쉬신호 sref가 활성화되었을때 또는 상기 넥스트클럭생성부의 출력신호 clki_next가 활성화되었는데 여전히 상기 셀프리프레쉬탈출신호 cke_sref_syn가 비활성화되어 있으면 세트신호 set를 생성하는 제2입력부(63, 64, 65, 66, 67), 상기 리셋신호 reset와 상기 세트신호 set를 입력받는 RS-래치부(62), 및 상기 RS-래치부(62)의 출력신호와 상기 셀프리프레쉬신호 sref에 응답하여 상기 클럭버퍼(103)의 제어신호 buf_en를 출력하는 출력부(68)로 구성된다.

<58> 제1입력부는 제2클럭인에이블버퍼의 출력신호 cke_sref의 상승엣지를 검출하여 펄스신호를 발생하는 펄스생성회로로서 실시 구성되어 있으며, 제2입력부는 상기 넥스트클럭생성부의 출력신호 clki_next를 딜레이하는 딜레이부(63), 셀프리프레쉬탈출신호 cke_sref_syn를 입력받는 인버터(65), 딜레이부(63) 및 인버터(65)의 각 출력신호를 논리곱연산하는 게이트(66), 셀프리프레쉬신호 sref의 상승엣지에서 클럭을 발생하는 펄스생성회로(64), 및 펄스생성회로(64) 및 게이트(66)의 각 출력신호를 논리합연산하는 게이트(67)로 실시 구성되어 있다. 그리고, 출력부(68)는 RS-래치부(62)의 출력신호와 셀프리프레쉬신호 sref를 입력받아 논리곱연산하는 게이트(68)로 실시 구성되어 있다.

<59> 도 5의 타이밍도를 참조하면, 셀프리프레쉬 모드에 진입하여 셀프리프레쉬신호 sref가 하이 'H'가 되면 세트신호 set가 하이 'H'가 되어 클럭버퍼제어신호 buf_en는 논리 하이 'H'가 되고, 셀프리프레쉬에 진입한 이후 제2클럭인에이블버퍼(201)의 출력신호 cke_sref가 하이 'H'로 되면 리셋신호 reset가 펄스로 발생되어 RS래치(62)를 리셋하면 클럭버퍼제어신호 buf_en는 논리 로우 'L'가 된다.

<60> 도 6은 본 발명에 따른 넥스트클럭생성부(70)의 구성예를 도시한 실시 회로도 및 타이밍도를 도시한 것이다.

<61> 도 6을 참조하면, 넥스트클럭생성부(70)은 클럭버퍼의 출력신호 clki와 셀프리프레쉬탈출신호 cke_sref_syn를 입력받아 셀프리프레쉬탈출신호 cke_sref_syn가 논리 로우 'L'로 비활성화되었을때 클럭버퍼의 출력신호 clki를 전달하는 입력부(71, 72), 입력부(71, 72)의 출력신호 clk2i를 전달받아 신호 clk2i의 상승엣지에서 토글링하여 토글신호 clki_tog를 생성하는 플립플롭(73), 상기 토글신호 clki_tog의 하강엣지에서 펄스신호를 생성하여 넥스트클럭생성부(70)의 최종 출력신호 clki_next 출력하는 출력부(74)로 구성되어 있다.

<62> 입력부(71, 72)는 셀프리프레쉬탈출신호 cke_sref_syn를 입력받는 인버터(71), 인버터(71)의 출력신호와 클럭버퍼의 출력신호 clki를 입력받아 논리곱연산하는 게이트(72)로 실시 구성되어 있고, 출력부는 펄스생성회로로 실시 구성되어 있다.

<63> 도 6의 타이밍도를 참조하여, 넥스트 클럭 생성기(70)의 동작을 살펴보면, 셀프 리프레쉬 모드에서 먼저 클럭 버퍼(103)가 인에이블 되어 신호 'clki'가 입력되면, 토글 플립플롭(73)을 거쳐 신호 'clki_tog'가 발생되고, 펄스 생성회로(74)는 이 'clki_tog'신호의 하강 타이밍을 감지하여 'clki_next'를 발생하게 된다. 한편, 동기회로부(40)의 출력신호인 신호 cke_sref_syn이 활성화되면 입력부를 통해 내부 클럭신호 clki은 클럭생성부 내로 전달되지 않는다.

【발명의 효과】

<64> 전술한 바와 같은 본 발명에 따른 셀프 리프레쉬 제어회로 및 제어방법은, 별도의 클럭 버퍼를 두지않고 셀프 리프레쉬 탈출 시에 클럭에 동기화하여 셀프 리프레쉬 탈출을 제어할 수 있게 되어 전류소모를 절감할 수 있는 효과를 구현하게 된다.

【특허청구범위】

【청구항 1】

반도체 메모리 장치의 셀프 리프레쉬 제어 방법에 있어서,

클럭버퍼를 통해 입력되는 클럭에 동기하여 셀프리프레쉬진입신호를 생성하는 단계;

셀프 리프레쉬 진입 직후에 상기 클럭버퍼를 디스에이블시키는 단계;

셀프 리프레쉬 구간에서 클럭인에이블신호를 칩 내부에 전달하는 단계;

셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 단계; 및

셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호를 상기 클럭버퍼 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 단계

를 포함하여 이루어진 반도체 메모리 장치의 셀프 리프레쉬 제어 방법.

【청구항 2】

제1항에 있어서,

상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 의해 셀프 리프레쉬 구간을 정의하는 신호를 생성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 방법.

【청구항 3】

제1항 또는 제2항에 있어서,



상기 셀프리프레쉬탈출신호를 생성하는 단계에서,

상기 클럭버퍼 출력신호의 두번째 클럭의 상승 엣지를 검출하여 펄스신호로서 생성하고,
상기 클럭인에이블신호를 상기 펄스신호에 동기하여 상기 셀프리프레쉬탈출신호를 생성하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 방법.

【청구항 4】

클럭신호에 동기하여 셀프 리프레쉬를 제어하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로에 있어서,

클럭버퍼를 구비하여 상기 클럭버퍼를 통해 입력되는 클럭에 동기하여 셀프리프레쉬진입신호를 생성하는 셀프리프레쉬진입회로부;

셀프 리프레쉬 진입 직후에 상기 셀프리프레쉬진입회로부의 상기 클럭버퍼를 디스에이블시키고 셀프 리프레쉬 기간 중에 입력된 클럭인에이블신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 제어신호를 생성하는 클럭버퍼제어부;

셀프 리프레쉬 구간 중에 입력된 상기 클럭인에이블신호를 상기 클럭버퍼 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 셀프리프레쉬탈출회로부; 및

상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 응답하여 셀프 리프레쉬 구간을 정의하는 신호를 생성하기 위한 셀프리프레쉬신호생성부를 포함하여,

셀프 리프레쉬의 진입 및 탈출을 단일의 클럭버퍼를 사용하여 클럭에 동기 제어하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.



【청구항 5】

제4항에 있어서,

셀프리프레쉬탈출회로부는,

셀프 리프레쉬 구간 중에 클럭인에이블신호를 버퍼링 입력하는 클럭인에이블버퍼;

셀프 리프레쉬 구간 중에 상기 클럭버퍼 출력신호의 두번째 클럭을 검출하여 펄스신호로서 출력하는 넥스트클럭생성부; 및

상기 클럭인에이블버퍼의 출력신호를 상기 넥스트클럭생성부의 출력신호에 동기시켜 상기 셀프리프레쉬탈출신호를 발생하는 동기회로부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 6】

제5항에 있어서,

상기 클럭버퍼제어부는,

상기 클럭인에이블버퍼로부터 출력되는 신호의 천이 시점을 감지하여 펄스 신호로서 리셋신호를 생성하는 제1입력부;

상기 넥스트클럭생성부의 출력신호와, 상기 셀프리프레쉬탈출신호와, 상기 셀프리프레쉬 신호에 응답하여, 상기 셀프리프레쉬신호가 활성화될 때 세트신호를 생성하는 제2입력부;

상기 리셋신호와 상기 세트신호를 입력받는 RS-래치부; 및

상기 RS-래치부의 출력신호와 상기 셀프리프레쉬신호에 응답하여 상기 클럭버퍼의 제어신호를 생성하는 출력부



를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 7】

제5항에 있어서,

상기 넥스트클럭생성부는,

상기 클럭버퍼의 출력신호와 상기 셀프리프레쉬탈출신호를 입력받아 상기 셀프리프레쉬 탈출신호가 비활성화되었을때 상기 클럭버퍼의 출력신호를 전달하는 입력부;

상기 입력부의 출력신호를 전달받아 상승엣지에서 토글링하는 토글신호를 생성하는 수단; 및

상기 토글신호의 하강엣지에서 펄스신호를 생성하여 출력하는 출력부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 8】

셀프리프레쉬 구간 이외의 구간에서 구동하여 다수의 제어신호를 입력받는 커맨드 버퍼;

셀프리프레쉬 구간 이외의 구간에서 구동하여 클럭인에이블신호를 입력받는 제1클럭인에이블버퍼;

클럭신호를 입력받는 클럭버퍼;

셀프리프레쉬 구간에서 구동하여 클럭인에이블신호를 입력받는 제2클럭인에이블버퍼;

상기 커맨드버퍼, 상기 제1클럭인에이블버퍼 및 상기 클럭버퍼의 각 출력신호에 응답하여 셀프리프레쉬진입신호를 출력하는 수단;



셀프 리프레쉬에 진입하면 상기 클럭버퍼를 디스에이블시키고 상기 제2클럭인에이버퍼의 출력신호가 활성화되었을 때 상기 클럭버퍼를 인에이블시키는 제어신호를 생성하는 클럭버퍼 제어수단;

셀프리프레쉬 구간중에 상기 제2클럭인에이버퍼의 출력신호를 상기 클럭버퍼의 출력신호에 동기하여 셀프리프레쉬탈출신호를 생성하는 수단; 및

상기 셀프리프레쉬진입신호 및 상기 셀프리프레쉬탈출신호에 응답하여 셀프 리프레쉬 구간을 정의하는 셀프리프레쉬신호를 생성하기 위한 수단

을 포함하여 이루어진 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 9】

제8항에 있어서,

상기 셀프리프레쉬탈출신호를 생성하는 수단은,

상기 클럭버퍼의 출력신호의 두번째 클럭을 검출하여 펄스신호로서 출력하는 넥스트클럭 생성부; 및

상기 제2클럭인에이블버퍼의 출력신호를 상기 넥스트클럭생성부의 출력신호에 동기시켜 상기 셀프리프레쉬탈출신호를 출력하는 동기회로부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 10】

제9항에 있어서,



상기 클럭버퍼제어부는,

상기 제2클럭인에이블버퍼의 출력신호의 천이 시점을 감지하여 펄스 신호로서 리셋신호를 생성하는 제1입력부;

상기 넥스트클럭생성부의 출력신호와, 상기 셀프리프레쉬탈출신호와, 상기 셀프리프레쉬신호에 응답하여, 상기 셀프리프레쉬신호가 활성화되었을때 또는 상기 넥스트클럭생성부의 출력신호가 활성화되었는데 여전히 상기 셀프리프레쉬탈출신호가 비활성화되었으면 세트신호를 생성하는 제2입력부;

상기 리셋신호와 상기 세트신호를 입력받는 RS-래치부; 및

상기 RS-래치부의 출력신호와 상기 셀프리프레쉬신호에 응답하여 상기 클럭버퍼의 제어신호를 출력하는 출력부

를 포함하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 11】

제10항에 있어서,

상기 제2입력부는,

상기 넥스트클럭생성부의 출력신호를 딜레이하는 딜레이수단;

상기 셀프리프레쉬탈출신호를 입력받는 인버터;

상기 딜레이수단 및 상기 인버터의 각 출력신호를 논리곱연산하는 수단;

상기 셀프리프레쉬신호의 라이징엣지에서 클럭을 발생하는 펄스생성수단; 및

상기 펄스생성수단 및 상기 논리곱연산수단의 각 출력신호를 논리합연산하는 수단



을 포함하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 12】

제10항에 있어서,

상기 출력부는 상기 RS-래치부의 출력신호와 상기 셀프리프레쉬신호를 입력받아 논리곱 연산하는 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 13】

제9항에 있어서,

상기 넥스트클럭생성부는,

상기 클럭버퍼의 출력신호와 상기 셀프리프레쉬탈출신호를 입력받아 상기 셀프리프레쉬 탈출신호가 비활성화되었을때 상기 클럭버퍼의 출력신호를 전달하는 입력부;

상기 입력부의 출력신호를 전달받아 상승엣지에서 토글링하는 토글신호를 생성하는 수단; 및

상기 토글신호의 하강엣지에서 펄스신호를 생성하여 출력하는 출력부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.

【청구항 14】

제13항에 있어서,



상기 입력부는,

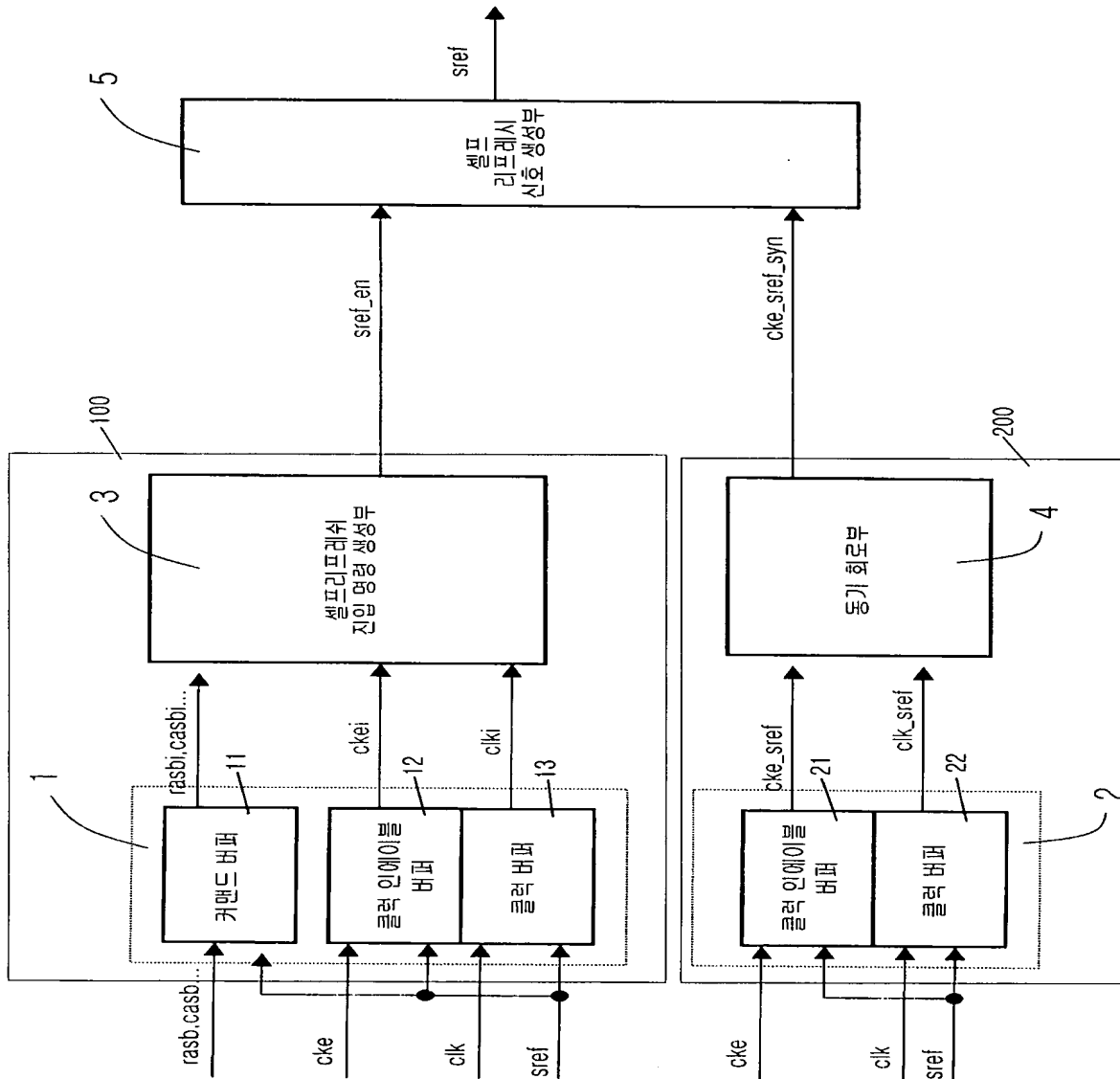
상기 셀프리프레쉬탈출신호를 입력받는 인버터; 및

상기 인버터의 출력신호와 상기 클럭버퍼의 출력신호를 입력받아 논리곱연산하는 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 셀프 리프레쉬 제어 회로.



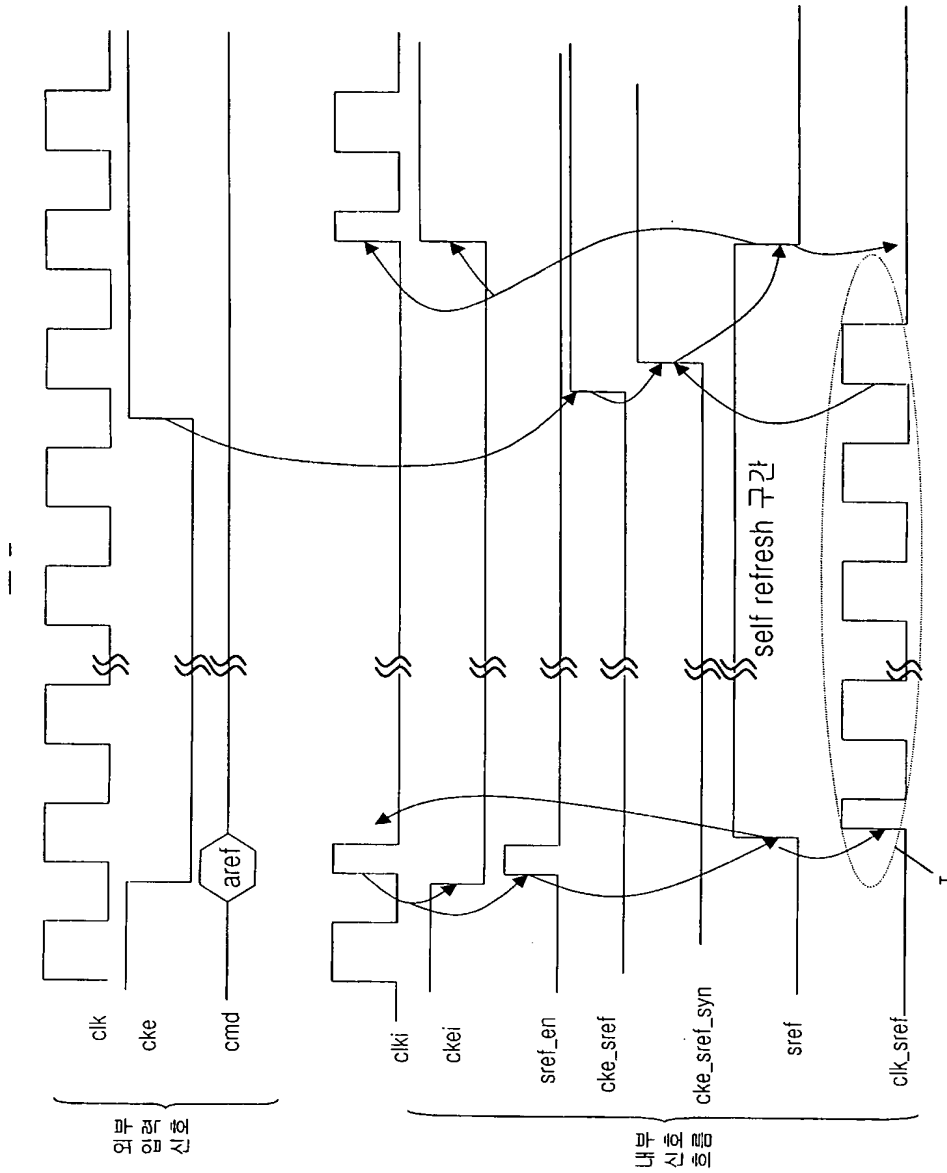
【도면】

【도 1】



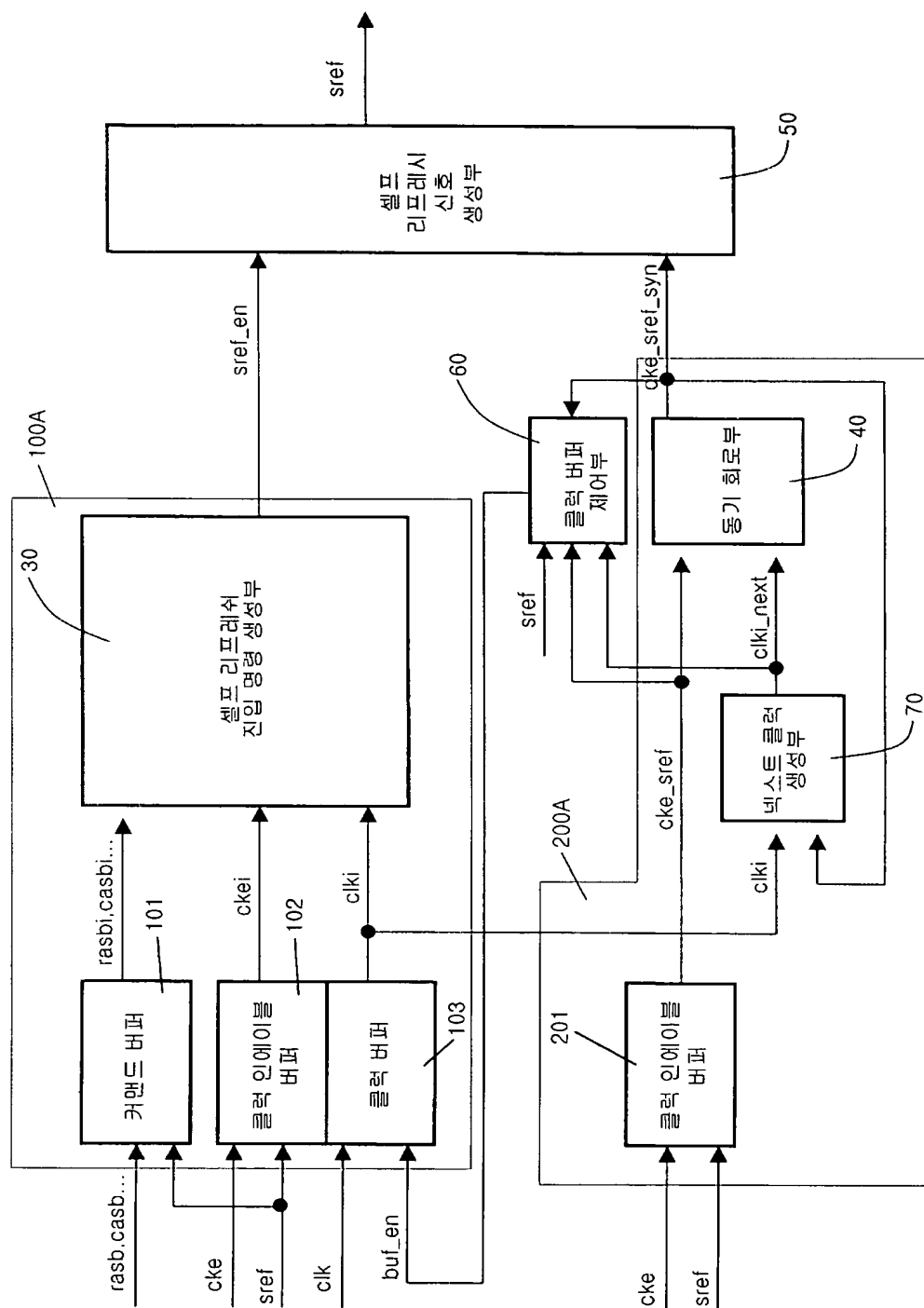


【도 2】



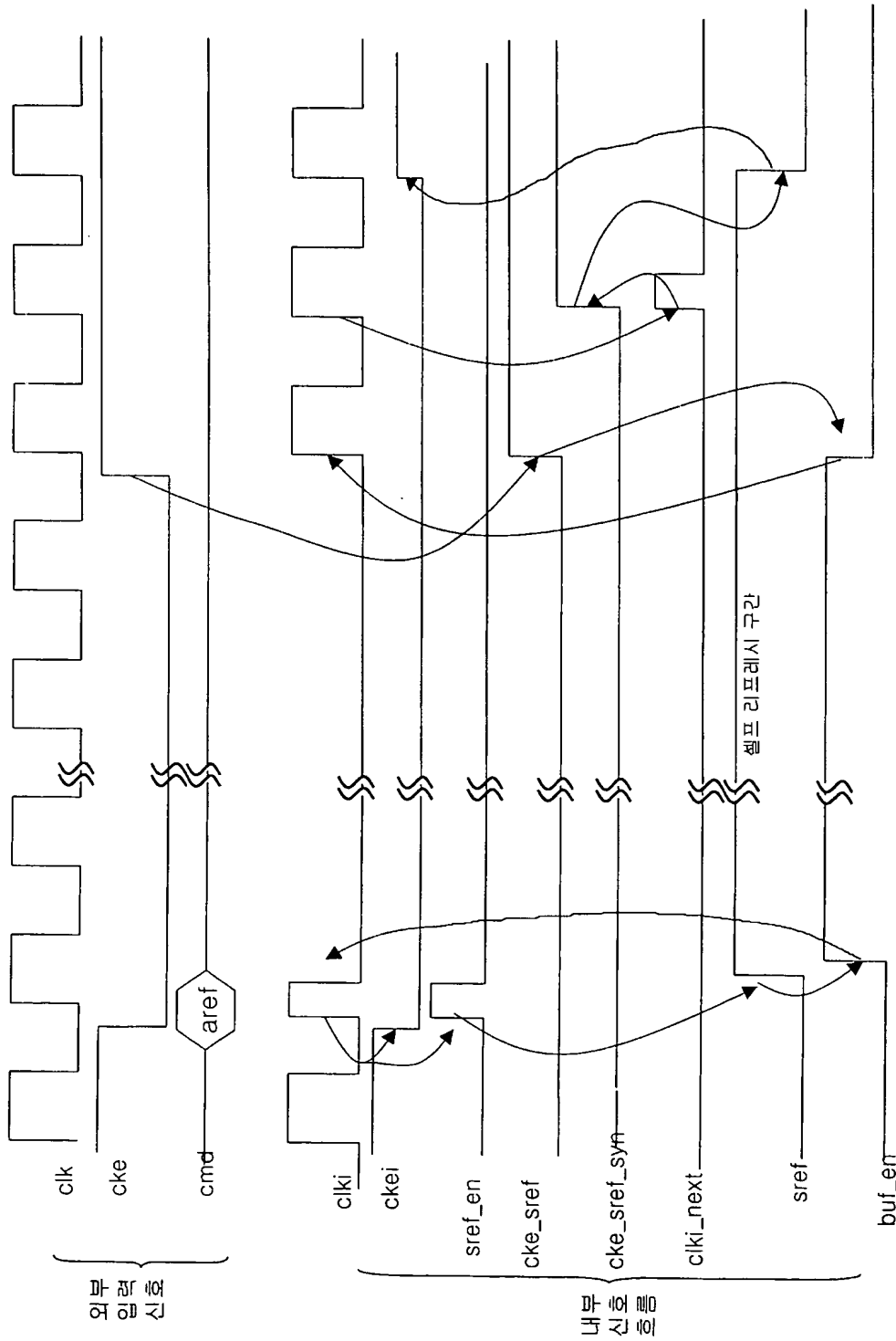


【도 3】

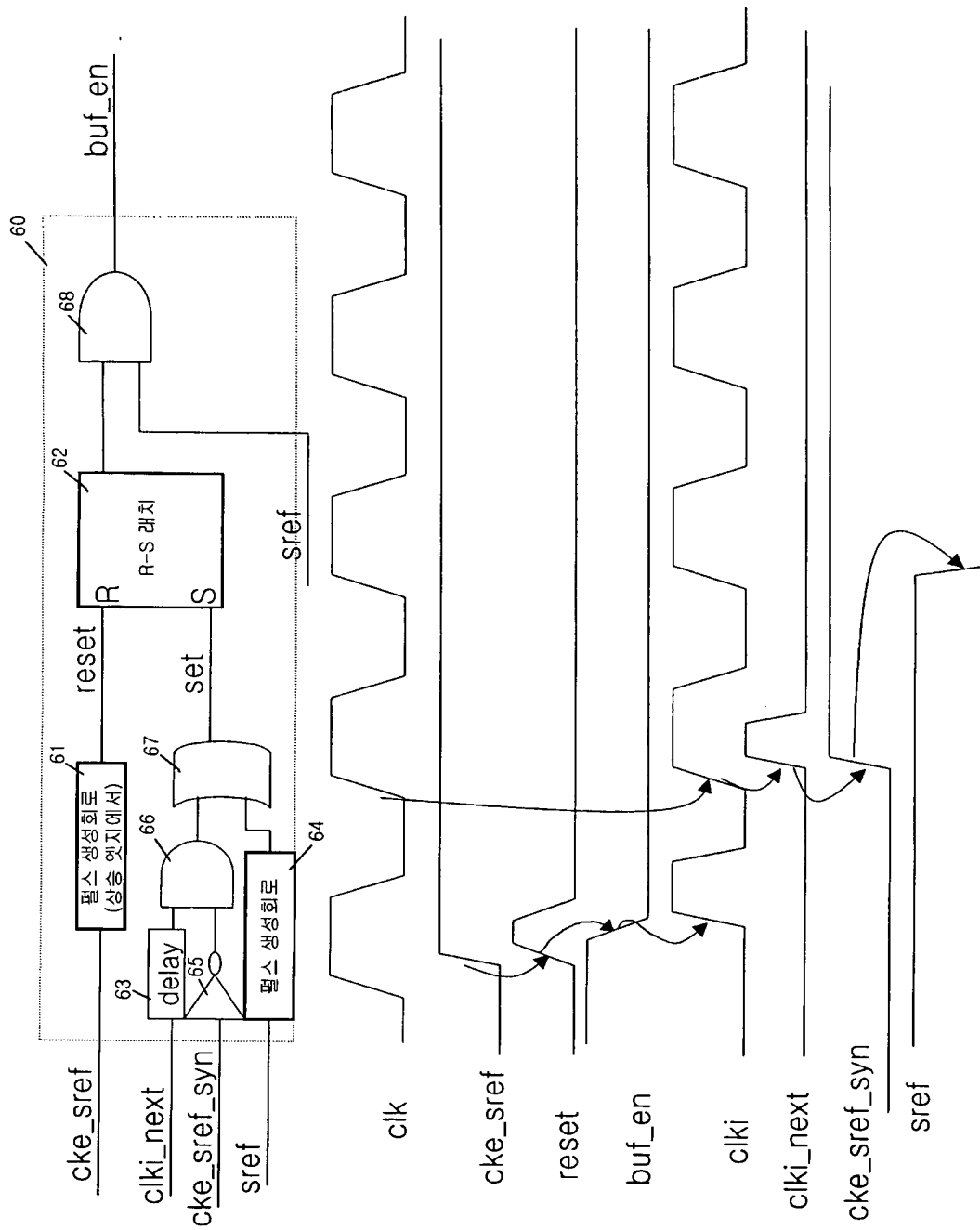




【도 4】



【도 5】



【도 6】

